

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358248

(P2001-358248A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テラト* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	B
23/14			Q
		23/14	M

審査請求 未請求 請求項の数10 O L (全 18 頁)

(21) 出願番号 特願2000-182308(P2000-182308)

(22) 出願日 平成12年6月13日 (2000. 6. 13)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 松崎 永二

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 石原 昌作

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

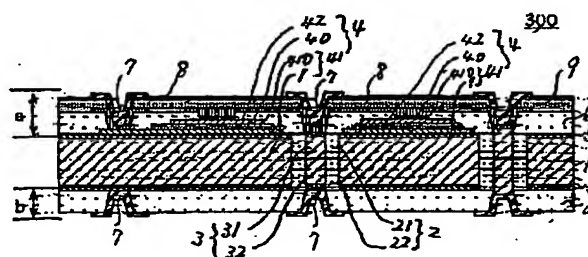
(54) 【発明の名称】 キャパシタを内蔵した回路基板とその製造方法

(57) 【要約】

【課題】 半導体チップを配線基板に実装する場合のインターポーザに適した回路基板に、容量密度を高くできるデカップリングキャパシタを内蔵させ、実装密度を低下させることなくスイッチングノイズを低減できる半導体装置を提供する。

【解決手段】 回路基板のベース基板として導電性部材を用い、ベース基板の表面にベース基板を一方の電極とするキャパシタを形成し、ベース基板の内部にその表裏面を電氣的に接続する導電性ビアを、絶縁層を介在させて設け、回路基板の表面と裏面に実装用接続端子を設ける。

【図3】



300... 回路基板

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】ベース基板の少なくとも1つの主表面上に第1の電極と第2の電極により誘電体層を挟んだキャパシタが形成され、上記ベース基板内に上記ベース基板の2つの主表面を電気的に接続するように設けられた、少なくとも1個以上の導電性ビアを有する回路基板であって、上記ベース基板を導電性部材により構成して上記キャパシタの第1の電極の一部として用い、上記導電性ビアと上記ベース基板の間に絶縁層を介在させることにより上記導電性ビアを上記ベース基板から電気的に分離し、上記回路基板の2つの主表面上に実装用接続端子を設けたことを特徴とするキャパシタを内蔵した回路基板。

【請求項2】請求項1に記載の回路基板において、上記ベース基板の2つの主表面を電気的に接続する上記導電性ビアの少なくとも一部を、上記ベース基板と同一部材により構成したことを特徴とするキャパシタを内蔵した回路基板。

【請求項3】請求項1または2に記載の回路基板において、上記ベース基板の第1の主表面と第2の主表面にキャパシタを形成し、上記ベース基板を第1の主表面側のキャパシタと第2の主表面側のキャパシタに対する共通な第1の電極に用いることを特徴とする回路基板。

【請求項4】請求項1乃至4の何れかに記載の回路基板において、上記ベース基板が1000℃以上の融点を有する高融点金属材料からなることを特徴とするキャパシタを内蔵した回路基板。

【請求項5】請求項4に記載の回路基板において、上記高融点金属材料を、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、あるいは、少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれかを含む鉄(Fe)合金の中から選択したことを特徴とするキャパシタを内蔵した回路基板。

【請求項6】請求項1乃至5の何れかに記載の回路基板において、上記ベース基板の主表面上の少なくとも一部に薄膜層を設け、該薄膜層を白金族材料あるいは導電性酸化物材料の中から選択したことを特徴とするキャパシタを内蔵した回路基板。

【請求項7】上記キャパシタを上記ベース基板上に形成するキャパシタ形成工程と上記ベース基板中に上記導電性ビアを形成する導電性ビア形成工程を含む製造方法であって、上記キャパシタ形成工程を実行してから導電性ビア形成工程を実行することを特徴とするキャパシタを内蔵した回路基板の製造方法。

【請求項8】請求項7に記載のキャパシタを内蔵した回路基板の製造方法において、上記導電性ビア形成工程は、上記ベース基板の第1の主表面側に導電性ビアの一部を形成するための第1主表面側ビア形成工程と、上記ベース基板の第2の主表面側に導電性ビアの一部を形成

するための第2主表面側ビア形成工程とを含み、上記第1の主表面側の導電性ビアの一部と上記第2の主表面側の導電性ビアの一部が上記ベース基板内で接続されることを特徴とする回路基板の製造方法。

【請求項9】請求項7に記載のキャパシタを内蔵した回路基板の製造方法において、上記導電性ビア形成工程は、上記ベース基板の第1の主表面側に導電性ビアを形成するための第1主表面側ビア形成工程と、上記ベース基板の第2の主表面側部分を除去するための第2主表面除去工程とを含み、上記第2主表面除去工程において、第1主表面側ビア形成工程で形成した導電性ビアの一部を上記ベース基板の第2の主表面側に露出させることを特徴とする回路基板の製造方法。

【請求項10】請求項8または9に記載のキャパシタを内蔵した回路基板の製造方法において、上記第1主表面側ビア形成工程あるいは第2主表面側ビア形成工程が、(1)導電性ビア部を残し、該導電性ビア部の周囲に絶縁層を埋め込む溝を形成するためのベース基板加工工程と、(2)上記溝に絶縁層を埋め込むための第1絶縁層埋め込み工程とを含むことを特徴とする回路基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はキャパシタ内蔵の回路基板に係わり、特に、配線基板(マザーボード、ドーターボード)に半導体チップを実装する際のインターポーザ(あるいは、半導体チップキャリア)として好適なキャパシタ内蔵の回路基板に関する。

## 【0002】

【従来の技術】最近、半導体チップでは、集積回路素子(以下、ICと呼ぶことにする)の高密度化が進むとともに動作速度は年々上昇している。ICの動作速度が上昇すると、半導体チップ内部で発生するスイッチングノイズがICを誤動作させる要因として問題となる。スイッチングノイズの低減には接地端子と電源端子の間にデカップリングキャパシタを設置することが有効である。デカップリングキャパシタはICのできるだけ近い場所に設置するのが効果的であり、半導体チップに直接形成することが望ましい。

【0003】しかし、この場合、半導体チップの製造工程が複雑で長くなり、デカップリングキャパシタの不良によって半導体チップ自身の歩留りが低下する。一方、デカップリングキャパシタを外付け部品として配線基板上に配置させると、これらの部品と半導体チップの間の接続距離が長くなり、デカップリングキャパシタの効果が不十分となってしまう。

【0004】これらの問題に対応するため、半導体チップをマザーボードやドーターボードと呼ばれる配線基板に実装する場合に用いられる中間基板(インターポーザ、あるいは、半導体チップキャリア)に、デカップリ

ングキャパシタを内蔵させることが特開平6-318672号公報、特開平8-148595号公報、特開平9-213835号公報等で提案されている。また、デカップリングキャパシタは、特開平6-318672号公報と特開平9-213835号公報においてはベース基板の表面に、そして、特開平8-148595号公報ではベース基板の内部に形成されている。

#### 【0005】

【発明が解決しようとする課題】従来は、インターポーザのベース基板として、アルミナやガラスセラミック(ホウケイ酸系ガラス、ソーダライト系ガラス、アノサイト系ガラス等からなる)、ムライト系セラミック、等のセラミック系基板が主に用いられてきた。この他のベース基板として、有機または無機ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロン(登録商標)、シリコン等の材料が特開平6-318672号公報で提案されている。

【0006】セラミック系基板はその表面が必ずしも平滑または平坦ではない。そのため、その表面にキャパシタを形成する場合、誘電体層を厚く形成する必要がある、誘電率の高い材料を用いても容量密度が高く、インダクタンス成分が小さいキャパシタを得ることは困難である。

【0007】誘電体層を薄くすることにより容量密度を増大させてインダクタンス成分を低減するためには、セラミック系基板における表面の平坦化・平滑化が必要となる。しかし、このセラミック系基板の表面の平坦化・平滑化はポイド等の存在により難しく、製造工程を長いものとする。

【0008】セラミック系基板の表面の平坦化・平滑化にポリイミド等の有機系絶縁樹脂を用いるのも一つの方法だが、その耐熱性や機械的特性によって採用する材料やプロセスが制限を受け、十分な容量密度のキャパシタを内蔵する回路基板が得られるとは限らない。たとえば、高い誘電率を示すペロブスカイト化合物からなる誘電体層を用いたキャパシタでは、その特性を十分引き出すためには、600℃以上の高温プロセスを酸化性の雰囲気で行うことが必要である。従って、600℃以上の高温プロセスを適用することが困難な有機系絶縁樹脂上にキャパシタを形成する場合、十分な容量密度を有するキャパシタを内蔵する回路基板を得ることは難しい。

【0009】また、セラミック系ベース基板内の導電性ビアがCuやW等の酸化性雰囲気等耐環境性に乏しい材料から構成されている場合にも、酸化性雰囲気での上記高温プロセスを適用することはできないので、高い誘電率を示すペロブスカイト化合物からなる誘電体層を用いても、キャパシタの誘電体材料に見合った容量密度を得ることは困難である。

【0010】デカップリングキャパシタのセラミック系ベース基板内部への形成は、厚膜ペーストの印刷、乾

燥、焼成等の工程からなる、いわゆる同時焼成グリーンシート多層プロセスで作製される。そのため、製造工程において、基板寸法変化が発生し、この寸法変化を吸収するための整合層が必要となる。また、キャパシタをセラミック系ベース基板の内部に内蔵させる場合、ベース基板の材質(熱膨張係数や耐環境性等)や製造条件(温度や雰囲気等)によってキャパシタの誘電体等の材料が制限される。その上、誘電体層を厚くして耐圧不良を防止する必要があることから、容量密度が高く、インダクタンスが低いキャパシタを得ることは困難である。

【0011】有機(または無機)ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロン等の有機系絶縁樹脂基板をベース基板にすると、その耐熱性や機械的特性によって採用する材料やプロセスが制限を受け、必ずしも希望する特性を有する回路基板が得られるとは限らない。この理由は、既に述べたように、有機系絶縁樹脂基板の耐熱性が乏しく、600℃以上の高温プロセスが困難であることから、高い誘電率を示すペロブスカイト化合物からなる誘電体層を用いたキャパシタにおいても、誘電体材料に見合った容量密度が得られないからである。

【0012】以上述べてきたように、従来の技術によれば、誘電率の高い誘電体材料を用いても誘電体材料に見合った容量密度の高いキャパシタを内蔵した回路基板を得ることは困難であった。また、セラミック系ベース基板を用いる場合には、基板の平滑化、平坦化や整合層形成等の工程により製造工程が長くなり、製造コストが上昇することが懸念された。

【0013】本発明の目的は、ペロブスカイト化合物等の誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる、インターポーザに適した、回路基板の構造とその製造方法を提供し、また、この内蔵させたキャパシタをデカップリングキャパシタとして用いることにより、実装密度を低下させることなくスイッチングノイズを低減できる半導体装置を提供することにある。

#### 【0014】

【発明が解決するための手段】上記目的は、ベース基板上に第1の電極と第2の電極により誘電体層を挟んだキャパシタが形成され、上記ベース基板内には2つの主表面を電気的に接続する導電性ビアが少なくとも1個以上設けられた回路基板であって、上記ベース基板を導電性部材により構成して上記キャパシタの第1の電極の一部として用い、上記導電性ビアと上記ベース基板の間に絶縁層を介在させることにより上記導電性ビアを上記ベース基板から電気的に分離し、上記回路基板の2つの主表面上に実装用接続端子を設けることによって達成される。

【0015】すなわち、キャパシタを形成している主表面上に設けられた接続端子に半導体チップを、その反対側の主表面上に設けられた接続端子に配線基板を接続する

ことによって、インターポーザとして好適な、キャパシタを内蔵した回路基板を提供できる。そして、上記接続端子をバンプ構造にすると、表面実装が可能になり、実装密度を向上させることができる。

【0016】また、ベース基板と同一の部材により2つの主表面を電気的に接続する上記導電性ビアを構成することを特徴としており、導電性ビアの周囲のベース基板を加工することによって導電性ビアを形成することができる。回路基板の製造プロセスの簡略化が可能である。

【0017】更に、ベース基板の2つの主表面にキャパシタを形成し、ベース基板を2つの主表面に形成されたキャパシタの第1の電極の共通する一部として用いることにより、回路基板が内蔵するキャパシタの容量を大きくすることができる。

【0018】上記したベース基板の材質には、1000℃以上の融点を有する高融点金属材料を用い、ベース基板自体の温度プロセスとして、1000℃までの温度が許容されるものとし、従って、600℃～1000℃の熱処理が必要とされるペロブスカイト化合物からなる誘電体層の成膜も可能になり、ベース基板上に形成するキャパシタの容量密度を大きくできる。

【0019】そして、1000℃以上の融点を有する高融点金属材料を、タングステン(W)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、あるいは、少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれかを含む鉄(Fe)合金の中から選択されるようにする。

【0020】本願発明の回路基板は、ベース基板上に薄膜層を形成してからキャパシタと導電性ビアの形成を行うようにする。ここで、上記薄膜層を設ける1つの目的は、その上層に形成する誘電体層の結晶性等の膜質改善、キャパシタの電極界面での信頼性の改善、ベース基板に対する誘電体層の付着力強化である。この場合には、少なくとも誘電体層形成領域に上記薄膜層が存在することが条件であり、第1の電極としてパターン化したものを用いても差し支えない。

【0021】上記薄膜層を設ける2つ目の目的は、酸性雰囲気での600℃～1000℃の誘電体層の熱処理工程を含むキャパシタ形成プロセスからベース基板を保護するためである。この場合、ベース基板の保護層として、ベース基板表面全体に形成することが望ましい。

【0022】以上で述べた目的を達成するための薄膜層の材料は、酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等の導電性酸化物や白金族材料の中から選択すればよい。必要に応じて、2種類以上の材料からなる多層膜としても差し支えない。

【0023】また、キャパシタの容量に大きな影響を及ぼさない場合には、酸化シリコン、窒化シリコン、酸化

アルミニウム、酸化チタン、等を含む無機系絶縁材料を用いることもできる。ただし、キャパシタの容量低下を防止するため、膜厚を極力薄くすることが必要である。また、これらの薄膜層とベース基板の間の密着性を改善するため、薄膜層とベース基板の間に、チタン(Ti)、タンタル(Ta)、ハフニウム(Hf)、タングステン(W)、クロム(Cr)、およびそれらの窒化物、ニッケル(Ni)、チタン・タングステン(TiW)の中から選択した材料からなる薄膜層を挿入しても良い。

【0024】本願発明のキャパシタを内蔵した回路基板の製造方法は、製造工程がベース基板上にキャパシタを形成するキャパシタ形成工程と、ベース基板中に導電性ビアを形成する導電性ビア形成工程を含み、キャパシタ形成工程を実行してから導電性ビア形成工程を実行することにより達成される。これにより、キャパシタの形成温度として1000℃までの温度が許容され、本来は高い誘電率を示すペロブスカイト化合物等の誘電体層の誘電率を高くすることができる。また、キャパシタ形成後には400℃以下の低温プロセスが可能になるので、導電性ビア部にも耐熱性に乏しい材料を用いることができるようになる。

【0025】そしてまた、導電性ビアとベース基板の間の絶縁層を有機系絶縁樹脂にすることが可能になり、回路基板に半導体チップや配線基板を搭載する際に接続端子にかかる応力を緩和できる効果も得られる。

【0026】また、導電性ビアの形成工程が、ベース基板の第1の主表面側に導電性ビアの一部を形成するための第1主表面側ビア形成工程と、上記ベース基板の第2の主表面側に導電性ビアの一部を形成するための第2主表面側ビア形成工程とを含み、上記第1の主表面側の導電性ビアの一部と上記第2の主表面側の導電性ビアの一部を上記ベース基板内で接続するようにする。

【0027】この導電性ビアの形成プロセスでは、第1の主表面側に導電性ビアの一部を形成する場合にはベース基板の第2の主表面側の部分が回路基板の支持部となり、第2の主表面側に導電性ビアの一部を形成する場合にはベース基板の第1の主表面側の部分が回路基板の支持部となる。これにより、導電性部材からなるベース基板の中に周囲が絶縁層により囲まれた導電性ビアを形成できることになる。

【0028】更に、導電性ビアの形成工程が、ベース基板の第1の主表面側に導電性ビアを形成するための第1主表面側ビア形成工程と、上記ベース基板の第2の主表面側部分を除去するための第2主表面除去工程とを含み、上記第2主表面除去工程において、第1主表面側ビア形成工程で形成した導電性ビアの一部を上記ベース基板の第2の主表面側に露出させるようにする。この方法によれば、ベース基板の第2の主表面側の導電性ビアの形成工程を省略できる効果が得られる。

【0029】そしてまた、ベース基板の第1主表面側ビ

アの形成工程あるいは第2主表面側ビアの形成工程が、

(1) 導電性ビア部を残し、該導電性ビア部の周囲に絶縁層を埋め込む溝を形成するためのベース基板加工工程と、(2) 上記溝に絶縁層を埋め込むための第1絶縁層埋め込み工程を含むようにして回路基板が作製される。この方法によれば、導電性ビアはベース基板材料によって構成されることになるが、導電性ビア部材のスルーホールへの埋め込み工程がなくなり、製造工程の短縮と歩留まり向上が図られる。

【0030】以上述べたように、本発明によれば、ペロブスカイト化合物等の誘電率の高い誘電体層を用いたキャパシタを内蔵させることのできる、インターポーザに適した、回路基板を得ることができ、また、この内蔵させたキャパシタをデカップリングキャパシタとして用いることにより、実装密度を低下させることなくスイッチングノイズを低減できる半導体装置を提供することができる。

【0031】

【発明の実施の形態】以下、本願発明の実施例を図面を用いて詳細に説明する。

〈第1の実施の形態〉図1は、第1の実施の形態である回路基板の要部断面図で示したものである。図1において、100は本発明を適用した回路基板を、1は導電性部材からなるベース基板を、2は第1の絶縁層を、3はベース基板1の2つの主表面(表面と裏面)を電気的に接続する導電性ビアを、4は回路基板に内蔵されたキャパシタを、40は該キャパシタ4の誘電体層を、41と42はキャパシタ4の電極を、410はベース基板1上に設けられたキャパシタ4の一方の電極41の一部として働く第1電極層を、5はベース基板1の主表面上に形成される薄膜保護層を、6はベース基板1または回路基板の主表面上に形成される第2の絶縁層を、7は接続端子を、8は導電性薄膜層(ここでは、導電性薄膜パターンも含む)を、9は導電性薄膜層を被覆するように形成される第3の絶縁層を、10は回路基板(またはベース基板1)の第1の主表面(表面)側を、20は回路基板(またはベース基板1)の第2の主表面(裏面)側を示す。

【0032】ここでは、キャパシタ4の電極のうちベース基板1の方の電極41を第1の電極、該第1の電極の対向電極42を第2の電極と呼ぶことにする。第1の絶縁層2はベース基板1と導電性ビア3を電気的に絶縁するためにベース基板1と導電性ビア3の間に設けられるものであり、第2の絶縁層6はキャパシタ4の一方の電極42及び接続端子7とベース基板1が短絡しないようにベース基板1の主表面10、20上に形成される絶縁層であり、第3の絶縁層9はベース基板1の主表面上に形成されたキャパシタ4の保護等、用途に応じて第2の絶縁層4より上層に形成される絶縁層である。

【0033】また、薄膜保護層5は、キャパシタ4の形成工程からベース基板1を保護するために設けるもので

あり、導電性薄膜層8はパターン化されてキャパシタ4の一方の電極42からの引き出し線を構成しており、導電性ビア3に接続されている。

【0034】なお、図1では、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。

【0035】本実施の形態で示した回路基板100は、導電性部材からなるベース基板1内に第1の絶縁層2によりベース基板1から電気的に分離された導電性ビア3と、該導電性ビア3の周囲に位置するようにベース基板1の主表面10上に形成された、上記ベース基板1を第1の電極41の一部としているキャパシタ4と、2つの主表面(表面10と裏面20)に設けられた接続端子を有している。

【0036】かかる構成によれば、上記ベース基板1を接地電極に、キャパシタ4の第2の電極と接続された導電性ビア3を電源電極に接続することにより、キャパシタ4をデカップリングキャパシタとして働かせることができる。

【0037】また、回路基板のキャパシタ4を形成した主表面の接続端子7に半導体チップを、そして回路基板の反対側の主表面に設けられた接続端子7に配線基板(マザーボードやモジュール基板)を接続することができる。この実施の形態で示した回路基板100により、デカップリングキャパシタを内蔵した、インターポーザとして好適な回路基板を提供できる。

【0038】なお、回路基板100では、第3の絶縁層9を形成し、その中のスルーホールを介して接続端子7を設けているが、第3の絶縁層9は必須条件ではなく、必要に応じて設ければよい。

【0039】次に、図1に示した第1の実施の形態の製造方法について説明する。

【0040】図11と図12は、回路基板100の製造工程の一例を要部断面図で示した工程フロー図である。以下、この図を参照にして、回路基板100の製造工程について説明する。

【0041】(11a) ベース基板の準備：導電性部材を適正な大きさに切り出し、必要に応じて表面研磨により平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、表面を清浄にする。

【0042】(11b) 薄膜保護層の成膜：スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、MOD(Metal Organic Decomposition)法、めっき法等の周知の手法を用いて薄膜保護層5を成膜する。薄膜保護層5としては、キャパシタ4形成においても安定で、ベース基板1を保護できる、たとえばITO(Indium Tin Oxide)等の導電性酸化物を用いる。

【0043】(11c) キャパシタの形成：第1電極層410をスパッタ法等の物理的手法、化学蒸着法、ゾル

ゲル法、MOD法、めっき法等の周知の手法を用いて成膜し、必要に応じて、フォトリソング等の周知の手法を用いて第1電極層410のパターン化を行う。

【0044】第1の電極層410の材料としては、この上に堆積する誘電体層40との整合を考えて選択する。たとえば、チタン酸ストロンチウム( $\text{SrTiO}_3$ )やBST (Barium Strontium Titanate)等のペロブスカイト化合物を誘電体層40に用いる場合、白金(Pt)やルテニウム(Ru)等を用いればよい。

【0045】第1の電極層410上に、スパッタ法等の物理的手法や化学蒸着法、ソルゲル法、MOD法等の周知の手法を用いて誘電体層40を成膜し、フォトリソング法等の周知の手法を用いて誘電体層40のパターン化を行う。

【0046】この場合、キャパシタ4の第1の電極からの配線の取り出しを行う場所に誘電体層40が存在しないようにする。誘電体層4としては、大容量のキャパシタを必要とする場合、 $\text{SrTiO}_3$ やBST等のペロブスカイト化合物を選択する。

【0047】次いで、600～900℃の熱処理を行い、誘電体層の結晶性を改善する。これにより、誘電体層4の誘電率を高くできる。また、該誘電体層4上に、導電性薄膜をスパッタ法等の物理的手法、化学蒸着法、ソルゲル法、MOD法等の周知の手法を用いて成膜し、フォトリソング等の周知の手法を用いてパターン化し、第2の電極42を形成する。この場合、第2の電極42が誘電体層40からはみ出て第1の電極41と短絡しないように注意する。第2の電極42の材料は誘電体層4に合わせて選択すれば良く、例えば $\text{SrTiO}_3$ やBST等のペロブスカイト化合物を誘電体層40に用いる場合には、PtやRu等を用いればよい。

【0048】(11d) ベース基板へのスルーホール形成：フォトリソング法(ウェットエッチングやドライエッチングを含む)やレーザ加工法等、周知の手法を用いて、ベース基板1の中にスルーホール11を形成する。

【0049】(11e) 第1の絶縁層の充填および第2の絶縁層の形成：ディップ法により有機系絶縁樹脂をスルーホール11に充填するとともに、ベース基板1の主表面に塗布し、硬化することにより第1の絶縁層2と第2の絶縁層6を形成する。必要に応じて、研磨やバックエッチングにより表面の平坦化を行う。

【0050】ここでは、ディップ法を用いているが、印刷法やスプレー塗布、転写法等別の手法を用いても差し支えない。

【0051】また、ここでは、第1の絶縁層2を充填してから、第2の絶縁層6を形成しているが、第2の絶縁層6を形成してから第1の絶縁層を形成しても差し支えない。なお、この工程では、2つの主表面10、20の両面に第2の絶縁層6を成膜する。

【0052】(11f) 第1の絶縁層へのスルーホール形成：フォトリソング法(ウェットエッチングやドライエッチングを含む)やレーザ加工法等の周知の方法を用いて、第1の絶縁層2の中にスルーホール12を形成する。

【0053】以下、図12を参照にして説明する。

【0054】(11g) 導電性ビアの形成：第1の絶縁層2に設けられたスルーホール12に導電性部材を充填して導電性ビア3を形成する。必要に応じて、研磨等により回路基板100表面の平坦性や平滑性を確保する。

【0055】スルーホール12を充填して導電性ビア3を形成するために選択する導電性部材は金属、金属の合金、金属と非金属の合成物等である。形成手法としては、めっき法、スパッタ法等の物理的手法、化学蒸着法、印刷法等の周知の手法を用いる。

【0056】(11h) 第2の絶縁層へのスルーホール形成：2つの主表面10、20上に形成されている第2の絶縁層6に、フォトリソング法等の周知の手法によりスルーホール13を形成する。なお、スルーホール13は、(11g)の工程において、第2の絶縁材料として感光性樹脂を用いて形成しても差し支えない。この場合には、この第2の絶縁層へのスルーホール形成工程を削減することができる。

【0057】(11i) 導電性薄膜層の形成：スパッタ法等の物理的手法、化学蒸着法、ソルゲル法、めっき法等の周知の手法を用いて導電性薄膜層8を成膜し、次いで、フォトリソング法等、周知の手法を用いてパターン化を行う。これにより、キャパシタ4の第2の電極から導電性ビア3への引き出し線が形成される。各端子部においても、接続信頼性を保つため、導電性薄膜層8を残存させた方がよい。

【0058】この後の工程では、400℃以上の高温プロセスを通す必要がないので、導電性薄膜層8の材料として、耐酸化性に問題があるCuや耐熱性に問題があるアルミニウム等の低抵抗材料を用いることができる。ただし、Cuは単独では用いず、CrやTiで挟み込んだCr/Cu/Cr積層膜やTi/Cu/Ti積層膜として使用する。

(11j) 第3の絶縁層と接続端子の形成：スピン塗布法など周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第3の絶縁層9を成膜する。

【0059】次いで、フォトリソング法等の周知の手法によりスルーホールを形成する。この場合、有機系絶縁樹脂として感光性材料を用いて、塗布、乾燥、露光、現像、硬化の各工程により形成しても良い。そして、スルーホールを形成する工程を短縮できる。

【0060】次いで、選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトリソング法等の周知の手法によりパターン化を行い、接続端子7を形成する。接続端



子メタライズに用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いればよい。ここで、A/BはBの上にAが積層されることを示す。

【0061】以上の工程を経て図1に示した回路基板100が完成する。ここで述べた回路基板の製造方法で特徴的な点は、ベース基板1上にキャパシタ4を形成してから、ベース基板1内に導電性ビア3を形成しているところである。

【0062】この製造方法によれば、ベース基板1として耐熱性や耐酸化性に優れた材料を用いることにより、キャパシタ4の形成温度の上昇と酸化性雰囲気での熱処理等が可能になり、誘電体材料の選択幅が広がる。

【0063】半導体チップ内で発生するスイッチングノイズを抑制するためのデカップリングキャパシタに対し、大容量と実装密度の向上が要求されており、誘電率の大きな材料でキャパシタを形成することが重要な課題となっている。この要求に応える材料として、SrTiO<sub>3</sub>や(Ba, Sr)TiO<sub>3</sub>、Pb(Zr, Ti)O<sub>3</sub>、Pb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>等のペロブスカイト化合物が期待されている。

【0064】しかし、これらの材料の誘電率を本来の値に近づけて高くするためには、酸化性雰囲気での600℃～900℃の熱処理が必要である。従って、酸化性雰囲気での600℃～900℃の熱処理が可能になるように、上記ベース基板1の材料としては1000℃以上の融点を有する高融点材料であることが望ましい。

【0065】このような材料として、タングステン、ニッケル、モリブデン、タンタル、等が好ましい。また、ニッケルやクロム、コバルト、アルミニウム、等を含む鉄合金も有望である。その理由は、加工が容易で、熱膨張係数等をその組成によって調整できるからである。

【0066】この実施の形態では、薄膜保護層5としてITO膜を用いているが、これに限定されるものではない。すなわち、薄膜保護層5は、耐酸化性に乏しいベース基板の場合に、キャパシタ4の形成工程からベース基板1を保護するために設けるものであり、耐酸化性や耐熱性に優れた材料であれば差し支えなく、貴金属材料や導電性酸化物が好ましい。

【0067】このような貴金属としてPtやRu等の白金金属材料があり、導電性酸化物としては酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物(ITO)、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等がある。

【0068】本実施例の場合、ベース基板1もキャパシタ4の第1の電極41としての働きをするため、薄膜保護層5は導電性材料であることが望ましいが、膜厚を薄くすることによって、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化チタン等の無機系絶縁材料も使用

できる。この場合には、ベース基板1と第1の電極層410とを薄膜保護層5に設けたスルーホールを介して電気的に接続しておくことも有効である。

【0069】また、第1の電極層410としてPtを用いているが、これに限定されるものではなく、その上に成膜する誘電体の膜質を劣化させない材料や、結晶性の改善など、膜質改善に役立つような材料の中から選択すればよい。そのような材料として、PtやRu等の白金金属材料、酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物(ITO)、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等の導電性酸化物が好ましい。ただし、これらの材料は薄膜保護層5の材料と重複しており、同じ材料を用いるのであれば、薄膜保護層5と第1の電極層410のいずれか一方を設ければ良い。

【0070】また、薄膜保護層5や第1の電極層410の下地からの剥離を防止するため、接着層として、ベース基板1と薄膜保護層5の間、薄膜保護層5と第1の電極層410の間、あるいは薄膜保護層が無い場合にはベース基板1と第1の電極層410の間に中間薄膜層を設けるのも良い。このような材料としては、密着性に優れた、チタン、タンタル、ハフニウム、タングステン、クロム、等の高融点金属およびこれらの窒化物、ニッケル、チタン・タングステン合金等が好ましい。

【0071】更に、ベース基板1を高融点材料で形成しているため、600℃から900℃の熱処理が可能になるため、ペロブスカイト化合物を誘電体層として用いているが、これらに限定されるものではなく、1000℃以下のプロセスで形成できる誘電体材料を用いても差し支えない。たとえば、タンタル酸化物やシリコン酸化物、アルミニウム酸化物、チタン酸化物、高温での熱処理を施さないペロブスカイト化合物などを用いても差し支えない。

【0072】以上で述べてきたことから明らかなように、本実施の形態によれば、1000℃までの温度プロセスが可能になるため、600℃～900℃の熱処理を要するペロブスカイト化合物を誘電体とした、高容量密度のキャパシタを内蔵した回路基板を提供できる。

【0073】この効果は、CuやWの導体配線を有するセラミック系基板や有機系絶縁樹脂基板をベース基板とした場合には得られない。CuやWの導体配線を有するセラミック系基板では耐環境性に問題があり、有機系絶縁樹脂基板では耐熱性に問題があるからである。

【0074】また、この製造方法によれば、キャパシタ4の形成後には400℃以上の温度プロセスにする必要としないため、第1の絶縁層2や導電性ビア3の材料に対する高い耐熱性は要求されない。たとえば、第1の絶縁層2として有機系絶縁樹脂を、導電性ビア3としてCu等を適用できる。第1の絶縁層2として有機系絶縁樹脂を用いると、接続端子7に配線基板(図示せず)や半

導体チップ（図示せず）を接続した場合の接続端子部の応力緩和に効果がある。ただし、第1の絶縁層2として有機系絶縁樹脂に限定しているのではなく、 $\text{SiO}_2$ 、 $\text{TiO}_2$ 、 $\text{Al}_2\text{O}_3$ 等からなる無機系絶縁材料などを用いても差し支えない。

【0075】なお、高融点金属板上に薄膜キャパシタを形成し、高融点金属板を一方の電極の一部として用いることが特開平8-88318号公報で開示されており、その構造を図18に示す。図18(A)はキャパシタ部を拡大した要部断面図を、図18(B)はそれを用いた回路基板の例を示す。

【0076】キャパシタ部の構造は誘電体層が2つの電極によりサンドイッチされた一般的な構造であり、本発明の場合と同じである。しかし、回路基板として見た場合には構造が全く異なっている。この公知例の場合、接続端子がキャパシタ形成面にのみ設けられており、反対側には設けられていない。また、金属ベース基板の2つの主表面を電気的に接続する導電性ビアも設けられていない。そのため、この公知例では、このキャパシタ上に薄膜多層配線を設けて回路基板にしても、チップキャパシタに類似した使用が前提となっている。すなわち、本発明で前提としている、半導体チップを配線基板上に搭載する際のインターポーザとしては用いることはできない。本実施例は、デカップリングキャパシタとして使用できるキャパシタを内蔵し、インターポーザに好適な回路基板構成となっており、ここで上げた公知例とは全く異なる。

【0077】〈第2の実施の形態〉図2は、第2の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。

【0078】図2において、200は本発明を適用した回路基板を、21と22は第1の絶縁層を、31と32は導電性ビアを示す。21と31は第1の主表面10側の部分を、22と32は第2の主表面側を示す。他の符号は図1の場合と同じである。

【0079】第1の実施の形態で示した回路基板100の導電性ビア3と第1の絶縁層2が、回路基板200では、それぞれ、第1の主表面側10の部分21、31と第2の主表面側20の部分22、32に分かれている。これ以外の構成や本発明を適用した点は同じである。導電性ビアと第1の絶縁層がそれぞれ2つの部分から構成されていても、1つの部分から構成されている場合と本質的な違いはない。従って、この実施の形態の場合にも、第1の実施の形態と同じ効果を得ることができる。

【0080】本実施の形態と第1の実施の形態の見かけ上の相違点は製造方法の違いによって生じている。図13と図14は、本実施の形態の製造方法の一例を要部断面図で示した工程フロー図である。

【0081】図からわかるように、(13a)～(13c)までの工程は図11に示した(11a)～(11c)までの工程と同じである。図13の(13d)以降の回路基板200の製造工程を図13と図14を参照しながら説明する。

【0082】(13d)ベース基板へのスルーホール形成：フォトリソ法やレーザー加工法等の周知の方法を用いて、ベース基板1の一方の主表面（たとえば、表面）10にスルーホール11を形成する。この場合、スルーホール11を貫通スルーホールとはせずにベース基板1の途中で止める。

【0083】(13e)第1の絶縁層の充填および第2の絶縁層の形成：ディップ法により有機系絶縁樹脂をスルーホール11に充填するとともにベース基板1の主表面に塗布し、硬化することにより第1の絶縁層2と第2の絶縁層6を形成する。必要に応じて、研磨やバックエッチングにより表面の平坦化を行う。ここでは、ディップ法を用いているが、印刷法やスプレー塗布、転写法等別の手法を用いても差し支えない。

【0084】また、ここでは、第1の絶縁層2を充填してから、第2の絶縁層6を形成しているが、第2の絶縁層6を形成してから第1の絶縁層を形成してもさし支えない。なお、この工程では、2つの主表面10、20の両面に第2の絶縁層6を成膜する。

【0085】(13f)第1の絶縁層へのスルーホール形成：フォトリソ法（ウェットエッチングやドライエッチングを含む）やレーザー加工法等の周知の方法を用いて、第1の絶縁層2の中にスルーホール12を形成する。

【0086】以下、図14を参照しながら説明する。

【0087】(13g)導電性ビアの形成：第1の絶縁層21に設けられたスルーホール12に導電性部材を充填して導電性ビア31を形成する。必要に応じて、研磨等により回路基板200の表面の平坦性や平滑性を確保する。

【0088】スルーホール12を充填して導電性ビア31を形成するための導電性部材は金属、金属の合金、金属と非金属の合成物、等から選択すればよい。形成手法としては、めっき法、スパッタ法等の物理的手法、化学蒸着法、印刷法等の周知の手法を用いる。

【0089】(13h)裏面側導電性ビアの形成：導電性ビア31を形成した第1の主表面10を保護しながら、(14d)から(14g)に示した工程により導電性ビア32をベース基板1の第2の主表面（裏面）20側に形成する。

【0090】これ以降、図14の(13i)～(13k)の工程を、図12の(11h)～(11j)の工程と同様に行うことによって、図2に示した回路基板200が完成する。

【0091】ここで述べた製造方法では、第1の主表面



10側の加工工程においては、第2の主表面20側の部分が支持部となり、第2の主表面20側の加工工程においては、既に加工し終えた第1の主表面10側の部分が支持部となって製造プロセスを支えている。この製造方法によれば、ベース基板1の加工深さが図11と図12に示した製造方法の場合に比べて浅くなり、第1の絶縁層21、22の充填深さも浅くなる。そのため、ベース基板1の加工や第1の絶縁層2の充填が容易になり、製造プロセスが安定する。

【0092】また、ここで述べた回路基板の製造方法においても、ベース基板1上にキャパシタ4を形成してから、ベース基板1内に導電性ビア3を形成している。従って、この場合においても、ベース基板1として耐熱性や耐酸化性に優れた材料を用いることにより、キャパシタ4の形成温度の上昇と酸化性雰囲気での熱処理等が可能になり、600℃～900℃の熱処理を要するペロプスカイト化合物を誘電体とした、高容量密度のキャパシタを内蔵した回路基板を提供できる。

【0093】なお、本実施の形態では、導電性ビア3を形成する際、キャパシタを形成した第1の主表面10側の部分31を最初に形成し、次いで、反対側の第2の主表面20側の部分32を形成している。しかし、導電性ビア3の形成順序はこれに限定される訳ではなく、この実施の形態とは逆にしても差し支えない。

【0094】〈第3の実施の形態〉図3は、第3の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。同図において、300は本実施例適用した回路基板を示し、他の符号は図1～図2と同じである。

【0095】回路基板300が第2の実施の形態である回路基板200と異なっている点は、導電性ビア3を構成する材料と、キャパシタ4を形成していない第2の主表面20側の接続端子7部の構造である。それ以外の構造や本発明を適用した点は同じである。

【0096】回路基板200の場合、第2の絶縁層6上に第3の絶縁層9が積層され、第3の絶縁層中に設けたスルーホールを通して導電性ビア3とベース基板1に対する接続端子7が設けられている。

【0097】それに対し、本実施の形態である回路基板300では、第2の絶縁層6に設けたスルーホールを通して導電性ビア3とベース基板1に対する接続端子7を設けている。これは、回路基板200の場合、導電性ビア3形成において、スルーホール形成と絶縁層と導電性部材の充填工程が繰り返され、第2の主表面20側もダメージを受けている可能性があるためであり、回路基板300では、導電性ビア3の形成工程が単純化され、ダメージも少ないと考えられからである。

【0098】このように、第3の絶縁層は必要に応じて

形成すれば良く、回路基板200と回路基板300の本質的な違いとはならない。また、導電性ビア3は、回路基板200と回路基板300では、構成材料は異なるが、構造は同じである。

【0099】そのため、回路基板の構造による本発明の適用効果は、第2の実施の形態と同じく得ることができる。回路基板200の場合、第1の絶縁層2に設けたスルーホール内に導電性材料を充填して導電性ビア3を得ているので、金属、金属の合金、金属と非金属の合成物等、材料の選択幅が広い。しかし、ベース基板へのスルーホール形成と導電性部材と絶縁層の埋め込みを行う必要がある。

【0100】それに対し、回路基板300では、導電性ビア3をベース基板1と同じ材料としている。これは、回路基板300の製造方法からの結果であり、回路基板200で見られた導電性部材の埋め込みを不要にできる構造である。これが、本実施の形態の特徴であり、第1及び第2の実施の形態と異なる点である。

【0101】次に、本実施の形態である回路基板300の製造方法を説明する。図15と図16は、本実施の形態の製造方法の一例を要部断面図で示した工程フロー図である。同図からわかるように、(15a)～(15c)までの工程は図11に示した(11a)～(11c)までの工程と同じである。図15の(15d)以降の回路基板300の製造工程を図15と図16を参照しながら説明する。

【0102】(15d)ベース基板の第1の主表面側導電性ビアの形成：フォトリソ法やレーザ加工法等の周知の方法を用いて、ベース基板1の主表面10の導電性ビアの形成領域の周囲を除去し、主表面側のビア31と該ビア31の周囲を囲むように主表面側のスルーホール11を形成する。この場合、スルーホール11を貫通スルーホールとはせずにベース基板1内部の途中で止める。

【0103】(15e)ベース基板に設けたスルーホールへの第1の絶縁層の充填及び第1の主表面側への第2の絶縁層形成：ベース基板1の第1の主表面に設けられたスルーホール11に有機系絶縁樹脂をディップ法により充填し、導電性ビア3の第1の主表面側の部分31を取り囲むように第1の絶縁層21を形成する。この工程では、スルーホール11への有機系絶縁樹脂の充填とともに、第1の主表面上に第2の絶縁層6を形成する。必要に応じて、研磨やバックエッチングを行い、表面の平坦化を行う。ここでは、ディップ法を用いているが、これに限定されるのではなく、印刷法やスピン塗布法、スプレー塗布法、転写法等、別の手法を用いても差し支えない。

【0104】なお、ここでは、第1の絶縁層2と第2の絶縁層6を同時に形成しているが、別々の工程で形成しても差し支えない。また、第2の絶縁層6として感光性

樹脂を用い、端子部や電極部のスルーホールを同時に形成しても良い。

【0105】(15f) ベース基板の第2の主表面側の導電性ビア形成：上記(15d)と(15e)の工程を適用し、導電性ビア3の第2の主表面側の部分32と第1の絶縁層の第2の主表面側部分22を第2の主表面20側に形成し、第2の主表面20は第2の絶縁層6により被覆する。これにより、導電性ビア3と第1の絶縁層2が形成される。

【0106】(15g) ベース基板の第1の主表面上の第2の絶縁層へのスルーホール形成：フォトエッチング法やレーザ加工法等の周知の手法により、第1の主表面10上に形成されている第2の絶縁層6にスルーホール12を形成する。なお、第2の絶縁層6として感光性樹脂を用いてスルーホールが既に設けられている場合にはこの工程を省略できる。

【0107】(15h) ベース基板の第1の主表面上への導電性薄膜層の形成：スパッタ法等の物理的手法、化学蒸着法、ソルゲル法、めっき法等の周知の手法を用いて導電性薄膜層8を第1の主表面10上に成膜し、次いで、フォトエッチング法等、周知の手法を用いてパターン化を行う。これにより、キャパシタ4の第2の電極から導電性ビア3への引き出し線が形成される。各端子部においても、接続信頼性を保つため、導電性薄膜層8を残存させた方がよい。

【0108】この後の工程では、400℃以上の高温プロセスを通す必要がないので、導電性薄膜層8の材料として、耐酸化性に問題があるCuや耐熱性に問題があるアルミニウム等の低抵抗材料を用いることができる。ただし、Cuは単独では用いず、CrやTiで挟んだCr/Cu/Cr積層膜やTi/Cu/Ti積層膜として使用する。

(15i) 第1の主表面上への第3絶縁層の形成及び第2の主表面上の第2の絶縁層へのスルーホール形成：第1の主表面10上に、スピン塗布法など周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第3の絶縁層9を成膜する。

【0109】次いで、フォトエッチング法等の周知の手法によりスルーホール13を形成する。この場合、有機系絶縁樹脂として感光性材料を用いて、塗布、乾燥、露光、現像、硬化の各工程により形成しても良い。そして、スルーホールを形成する工程を短縮できる。

【0110】次いで、フォトエッチング法やレーザ加工法等の周知の手法により、第2の主表面20上に形成されている第2の絶縁層6にスルーホール14を形成する。なお、第2の主表面20上の第2の絶縁層6として感光性樹脂を用いてスルーホールが既に設けられている場合には、第2の主表面20側のこの工程を省略できる。

【0111】(15j) 接続端子の形成：選択した接続

手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトエッチング法等の周知の手法によりパターン化を行い、接続端子7を形成する。接続端子メタライズに用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いればよい。ここで、A/BはBの上にAが積層されることを示す。

【0112】以上で、回路基板300が完成する。ここで述べた製造方法では、第1の主表面10側の加工工程においては、第2の主表面20側の部分が支持部となり、第2の主表面20側の加工工程においては、既に加工作り終えた第1の主表面10側の部分が支持部となって製造プロセスを支えている。

【0113】この実施例における製造方法は以下の特長を有し、第1の実施の形態及び第2の実施の形態で示した製造方法に比べ、製造工程が短縮され、安定なプロセスとなる。

【0114】(ア) 導電性ビア3をベース基板1から分離するように形成するため、第1の絶縁層の中へのスルーホール形成および導電性ビア3の充填工程が不要となる。

【0115】(イ) 導電性ビア3はベース基板1を材料として形成されるので、他の堆積法によって形成された導電性ビアより機械的に強い。

【0116】(ウ) 第1の絶縁層を埋め込む深さも第1の実施の形態より浅く、第2の実施の形態とほぼ同等である。

【0117】以上述べてきたことから明確なように、本実施の形態の場合にも第1及び第2の実施の形態で得られた本発明の効果をj得ることができる。更に、本実施の形態の場合、導電性ビアの機械的強度の増大・製造工程数削減などの効果が得られる。

【0118】なお、ここでは、導電性ビアを第1の主表面側の部分31と第2の主表面側の部分32の2つの部分に分けて述べたが、製造方法からわかるように、分離されているのではなく、ベース基板材料からなる一体物である。

【0119】また、本実施の形態では、導電性ビア3を形成する際、キャパシタを形成した第1の主表面10側の部分31を最初に形成し、次いで、反対側の第2の主表面20側の部分32を形成している。しかし、導電性ビア3の形成順序はこれに限定される訳ではなく、この実施の形態とは逆にしても差し支えない。

【0120】〈第4の実施の形態〉図4は、本発明の第4の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。図において、400は本発明を適用した回路基板を示し、他の符号は図1～図3と

同じである。

【0121】本実施の形態である回路基板400の構造は第3の実施の形態である回路基板300とほとんど同じであり、第3の実施例で得られた本発明の効果を本実施の形態でも得ることができる。回路基板400が回路基板300と異なっているのは、第2の主表面20側に薄膜保護層5がないことと、原理的にベース基板1の厚みが薄くなっていることである。これらの違いも製造方法が原因になっているので、これについて説明する。

【0122】図16は、本実施の形態の製造方法の一例を要部断面図で示した工程フロー図である。

【0123】まず、図15に示した製造工程の(15a)～(15e)の工程を実行する。以下、図17を参照しながら、(15e)以降の工程を説明する。

【0124】(17a)第2の主表面側の除去：キャパシタ4を形成している第1の主表面10側を保護しながら、エッチングや研磨等周知の手法を用いてベース基板1の第2の主表面側の部分を、第1の絶縁層が見えるまで除去する。次いで、平滑化と洗浄を行い、新たな第2の主表面20を清浄にする。必要に応じて、薄膜保護層を形成する。しかしこの場合、ベース基板1と導電性ビア3を短絡させてはならない。

【0125】(17b)第2の主表面上への第2の絶縁層形成と第1の主表面上の第2の絶縁層へのスルーホール形成：第2の主表面20上に、スピン塗布法など周知の手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第2の絶縁層6を成膜する。この場合、有機系絶縁樹脂として感光性材料を用いて、塗布、乾燥、露光、現像、硬化の各工程により形成しても良い。そして、(17d)で行う第2の主表面上の第2の絶縁層へのスルーホール形成工程を省略できる。

【0126】次いで、フォトリソ法やレーザ加工法等の周知の手法を用いて、第1の主表面上の第2の絶縁層6にスルーホール12を形成する。この場合、第1の主表面10上の第2の絶縁層6として感光性樹脂を用いてスルーホール12が既に設けられている場合には、この工程を省略できる。

【0127】その後、図16に示した(15h)～(15j)の工程と同じように工程(17c)～(17e)を進めることにより、回路基板400が完成する。

【0128】製造方法からわかるように、ここで示した製造方法によれば、キャパシタ4を設けていない第2の主表面20側の第1の導電層22と導電性ビア32の形成工程を省略できる。従って、第1の実施の形態～第3の実施の形態で示した製造方法に比べて工程数を削減でき、歩留まり向上が期待できる。ただしこの場合、ベース基板1の機械的強度が回路基板完成後に十分確保されることが条件となる。

【0129】以上述べてきたことから明確なように、本実施の形態の場合にも第1～第3の実施の形態で得られ

た本発明の効果をを得ることができる。更に、本実施の形態の場合、製造工程数の削減などの効果があり、キャパシタ内蔵の回路基板の歩留まり向上が期待できる。

【0130】なお、本実施の形態では、第3の実施の形態と同じ方法で導電性ビア3を形成しているが、第3の実施の形態に限定されるものではなく、第1及び第2の製造方法によって導電性ビア3を形成しても差し支えない。

【0131】〈第5の実施の形態〉図5は、第5の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。図において、500は本発明を適用した回路基板を、14は裏面側絶縁層を、示し、他の符号は図1～図4と同じである。

【0132】本実施の形態である回路基板500は、第4の実施の形態である回路基板400の第2の主表面2側に、ベース基板1と同一部材からなる裏面側ビア33が設けられ、その周囲を裏面側絶縁層14で埋めた構造となっている。それ以外構造と製造方法、本発明を適用したところも第4の実施の形態と同じである。第4の実施の形態との相違点为本発明の効果に及ぼす影響はないので、この実施の形態の場合にも、第3の実施の形態と同じ効果を得ることができる。

【0133】本実施例の場合、ベース基板1の第2の主表面20側を裏面側絶縁層14によって補強している。従って、裏面側絶縁層14は、第1～第4の実施の形態で述べてきた第2の絶縁層6より厚く、機械的強度が大きくなるように形成される。この裏面側絶縁層14の埋め込みは、間口が広いので、第1～第3の実施の形態でのスルーホールへの埋め込みより容易である。

【0134】また、回路基板完成後のベース基板1は裏面側絶縁層によって支持されているので、ベース基板1の厚みを薄くできるため、導電性ビア3及び第1の絶縁層2の深さを小さくできる。これにより、ベース基板1の第1の主表面10上での微細化が容易になり、接続端子の高密度化に貢献できる。

【0135】また、回路基板500の場合には、導電性ビア3を裏面側絶縁層14でも支持しており、第4の実施の形態と比較して導電性ビア3周辺の機械的強度が改善される。

【0136】なお、本実施の形態では、第3の実施の形態と同じ方法で導電性ビア3を形成しているが、第3の実施の形態に限定されるものではなく、第1及び第2の製造方法によって導電性ビア3を形成しても差し支えない。

【0137】また、本実施の形態の場合、キャパシタを形成した第1の主表面10側の導電性ビア3を最初に形成し、次いで、反対側の第2の主表面20側の裏面側ビア33を形成している。しかし、導電性ビアの形成順序

はこれに限定される訳ではなく、第2の主表面20側の裏面側ビア33を形成し、裏面側絶縁層14を形成してから、キャパシタを形成した第1の主表面10側の導電性ビア3を形成しても差し支えない。

【0138】〈第6の実施の形態〉図6は、本発明の第6の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。図において、600は本発明を適用した回路基板を示し、他の符号は図1～図5と同じである。

【0139】本実施の形態で示す回路基板600は、ベース基板1の2つの主表面10、20の両面にキャパシタ4を形成し、ベース基板1を第1の主表面10側のキャパシタ4の第1の電極41と第2の主表面20側のキャパシタ4の第1の電極41の一部を兼ねさせた例である。第1の主表面10上のキャパシタ4も第2の主表面20上のキャパシタ4も、第3の実施の形態で示した回路基板300と同じ構造している。

【0140】回路基板600は、ベース基板1の2つの主表面上にキャパシタを形成してから、図15の(15e)～(15j)の工程によって製造できる。従って、第3の実施の形態と本実施の形態では、構造、製造方法は同じといえる。従って、本発明の適用により、本実施の形態の場合にも、第3の実施の形態と同じ効果を得ることができる。

【0141】更に、本実施の形態では、キャパシタ4の第2の電極42と接続されている導電性ビア3を電源電極につなぎ、ベース基板1と接続されている接続端子を接地電極につなぐと、第1の主表面上のキャパシタと第2の主表面上のキャパシタは並列接続され、回路基板600に内蔵されるキャパシタの容量を、第1の実施の形態～第5の実施の形態における回路基板で内蔵しているキャパシタの容量の2倍にすることができる。

【0142】なお、本実施の形態では、第3の実施の形態と同じ方法で導電性ビア3を形成しているが、第3の実施の形態に限定されるものではなく、第1及び第2の製造方法によって導電性ビア3を形成しても差し支えない。

【0143】〈第7の実施の形態〉図7は、第7の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。図において、700は本発明を適用した回路基板を、15は抵抗素子を、示す。他の符号は図1～図6と同じである。

【0144】この実施の形態は、キャパシタ内蔵の回路基板に抵抗素子を内蔵させた例である。(A)の回路基板700は第3の実施の形態で示した回路基板300に抵抗素子を内蔵させた例であり、(B)の回路基板7

10は第5の実施の形態で示した回路基板500に抵抗素子を内蔵させた例である。

【0145】本実施の形態では、抵抗素子はキャパシタ4を形成していない第2の主表面20の絶縁層上に形成されている。すなわち、抵抗素子15は、回路基板700では第2の主表面20の第2の絶縁層6上に、回路基板710では裏面側絶縁層14上に形成されている。

【0146】本実施の形態では、第3の実施の形態と第5の実施の形態で示された回路基板をベースにしているため、本実施例の適用により、第3の実施の形態と第5の実施の形態で得られた効果が得られる。

【0147】また、本実施の形態では、一方の電極を信号配線に、他方の電極を接地電極に接続することにより、抵抗素子15を終端抵抗として働かせることができるので、デカップリングキャパシタと終端抵抗を内蔵した回路基板を提供できる。

【0148】なお、本実施の形態では、第3の実施の形態と同じ方法で導電性ビア3を形成しているが、第3の実施の形態に限定されるものではなく、第1及び第2の製造方法によって導電性ビア3を形成しても差し支えない。

【0149】〈第8の実施の形態〉図8は、第8の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。図において、800は本発明を適用した回路基板を、16は薄膜多層配線部を示す。他の符号は図1～図7と同じである。

【0150】この実施の形態は、第3の実施の形態で示した回路基板300に薄膜多層配線部16を設けた場合の例である。従って、本実施の形態においても、第3の実施の形態である回路基板300と薄膜多層部15を一体化して形成しているため、第3の実施の形態で得られた効果が得られることは明白である。

【0151】なお、薄膜多層部16と一体化する回路基板として第3の実施の形態で示した回路基板300を用いているが、これに限定されるものではなく、第1～第7の実施の形態で示したいずれの回路基板を用いても差し支えない。

【0152】〈第9の実施の形態〉図9は、第9の実施の形態を要部断面図で示したものである。この図でも、キャパシタ4搭載部の詳細をわかりやすくするため、回路基板の主表面の部分a、bを拡大しており、特に、膜厚方向を拡大した。図において、900は本発明を適用した本実施の形態による回路基板を、310と320は第3の実施の形態で示した回路基板を示す。他の符号は図1～図8と同じである。

【0153】この実施の形態は、第3の実施の形態で示した回路基板310と回路基板320を第2の主表面20側に形成された接続端子7を用いて接続したものであ

り、回路基板 310 と回路基板 320 に内蔵されているキャパシタは並列接続されている。そのため、回路基板 900 が内蔵するキャパシタの容量は第 3 の実施の形態による回路基板 310、320 に内蔵されているキャパシタの容量の 2 倍となる。本実施の形態は、第 3 の実施の形態を基本としていることから、第 8 の実施の形態で得られた本発明の効果を得ることができる。

【0154】なお、この実施例では、第 2 の主表面に設けた接続端子により 2 つの回路基板を接続した構造となっているが、第 1 の主表面に設けた接続端子と第 2 の主表面に設けた接続端子を接続しても差し支えない。

【0155】また、この実施の形態では、第 3 の実施の形態による回路基板同士を接続しているが、この組み合わせに限定されるのではなく、第 1 の実施の形態～第 8 の実施の形態で示した回路基板のどの組み合わせでも差し支えない。

【0156】〈第 10 の実施の形態〉図 10 は、第 10 の実施の形態を要部断面図で示したものである。この図でも、キャパシタ 4 搭載部の詳細をわかりやすくするため、回路基板の主表面の部分 a、b を拡大しており、特に、膜厚方向を拡大した。図において、1000 は本発明を適用した回路基板による半導体装置を、17 は半田を、18 は半導体チップを、19 はマザーボードやモジュール基板の如き配線基板を、示す。他の符号は図 1 ～図 9 と同じである。

【0157】この実施の形態は、第 3 の実施の形態で示したキャパシタ内蔵の回路基板 300 をインターポーザに用いて、半導体チップ 18 を配線基板 19 に実装した例である。キャパシタ 4 はデカップリングキャパシタとして用いるので、キャパシタ 4 の電極 41、42 は接地端子と電源端子に接続される。なお、図 10 では 1 個の半導体チップしか示していないが、2 個以上搭載しても差し支えない。

【0158】かかる構成によれば、デカップリングキャパシタを半導体チップ 18 の直下に設置できるので、半導体チップ 18 内で発生するスイッチングノイズを効率良く抑制できる。また、本実施の形態は、第 3 の実施の形態である回路基板 300 を用いて半導体チップ 18 を配線基板 19 に実装していることから、第 3 の実施の形態で得られた本発明の効果を得ることができる。

【0159】なお、この実施の形態では、第 3 の実施の形態で示した回路基板 300 を用いて、半導体チップ 18 を配線基板 19 に実装しているが、この回路基板 300 に限定されるものではなく、第 1 の実施の形態から第 9 の実施の形態で示したどの基板の適用も可能であり、目的に合わせて回路基板を適宜選択すれば良い。

【0160】以上述べてきたように、本発明による回路基板を半導体チップを配線基板に実装する際のインターポーザとして用いれば、半導体チップの直下にデカップリングキャパシタを配置することになるので、実装密度

を低下させることなく、スイッチングノイズを低減できる半導体装置を提供できる。

#### 【0161】

【発明の効果】以上のように、本発明によれば、半導体チップを配線基板に実装する場合のインターポーザに適した回路基板において、1000℃までの誘電体形成プロセスが可能になるため、回路基板に容量密度が高いデカップリングキャパシタを内蔵させることができ、また、半導体チップの直下にデカップリングキャパシタを配置できるので、実装密度を低下させることなくスイッチングノイズを低減できる半導体装置を提供できる。

#### 【図面の簡単な説明】

【図 1】第 1 の実施の形態を示す要部断面図である。

【図 2】第 2 の実施の形態を示す要部断面図である。

【図 3】第 3 の実施の形態を示す要部断面図である。

【図 4】第 4 の実施の形態を示す要部断面図である。

【図 5】第 5 の実施の形態を示す要部断面図である。

【図 6】第 6 の実施の形態を示す要部断面図である。

【図 7】第 7 の実施の形態を示す要部断面図である。

【図 8】第 8 の実施の形態を示す要部断面図である。

【図 9】第 9 の実施の形態を示す要部断面図である。

【図 10】第 10 の実施の形態を示す要部断面図である。

【図 11】第 1 の実施の形態で示した回路基板 100 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 12】第 1 の実施の形態で示した回路基板 100 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 13】第 2 の実施の形態で示した回路基板 200 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 14】第 2 の実施の形態で示した回路基板 200 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 15】第 3 の実施の形態で示した回路基板 300 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 16】第 3 の実施の形態で示した回路基板 300 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 17】第 4 の実施の形態で示した回路基板 400 の製造工程の一例を要部断面図で示した工程フロー図である。

【図 18】高融点金属基板を用いて薄膜キャパシタを形成した従来の例を示す要部断面図である。

#### 【符号の説明】

1…ベース基板、2、21、22…第 1 の絶縁層、3、31、32…導電性ビア、4…キャパシタ、40…キャパシタ 4 を構成する誘電体層、41、42…キャパシタ

4を構成する電極、5…薄膜保護層、6…第2の絶縁層、7…接続端子、8…導電性薄膜層、9…第3の絶縁層、10…回路基板（ベース基板）の第1の主表面（表面）、20…回路基板（ベース基板）の第2の主表面（裏面）、11、12、13…スルーホール、14…裏面側絶縁層、15…抵抗素子、16…薄膜多層配線部、17…半田、18…半導体チップ、19…配線基板、3

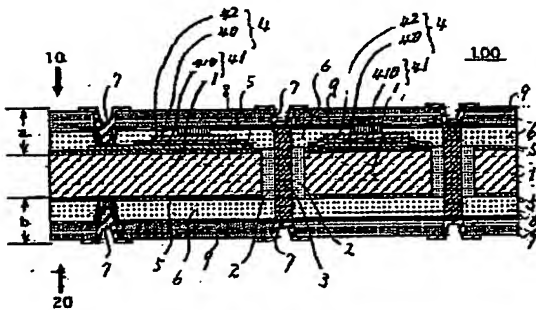
3…裏面側ビア、1000…半導体装置、100、200、300、400、500、600、700、710、800、900…回路基板、180…第1の電極、181…金属基板、182…酸化防止層、183…誘電体層、184…電極（Cr）、185…電極（Cu）、186…第2の電極、187…半田パンプ、188…キャパシタ

【図1】

【図2】

【図1】

【図2】



1…ベース基板、2…第2の絶縁層、3…導電性ビア、4…キャパシタ、5…薄膜保護層、6…第2の絶縁層、7…接続端子、8…導電性薄膜層、9…第3の絶縁層、10…第1の主表面、20…第2の主表面、40…キャパシタの誘電体層、41、42…キャパシタの電極、100…回路基板、410…第1の電極層

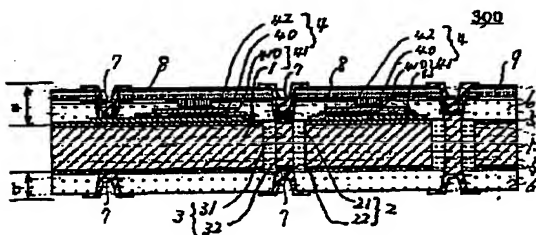
21、22…第1の絶縁層、31、32…導電性ビア、200…回路基板

【図4】

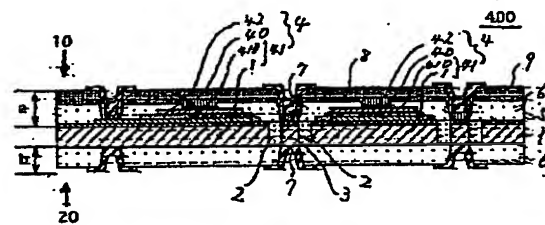
【図4】

【図3】

【図3】



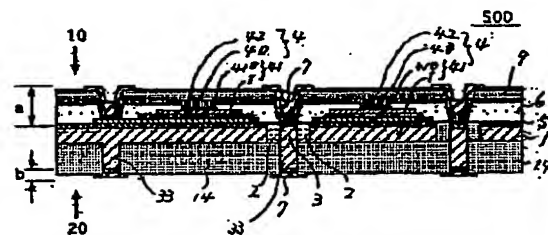
300…回路基板



400…回路基板

【図5】

【図5】

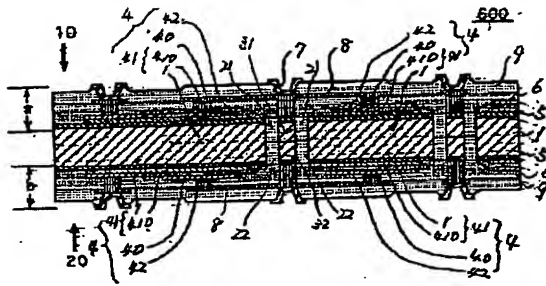


14…裏面側絶縁層、33…裏面側ビア、500…回路基板



【図6】

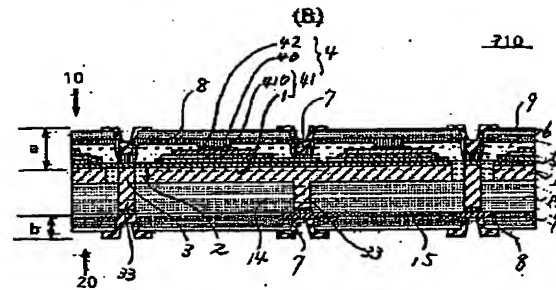
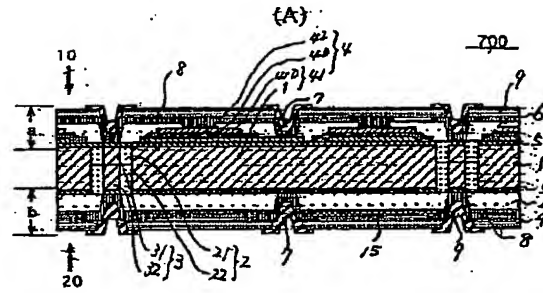
【図6】



600...回路基板

【図7】

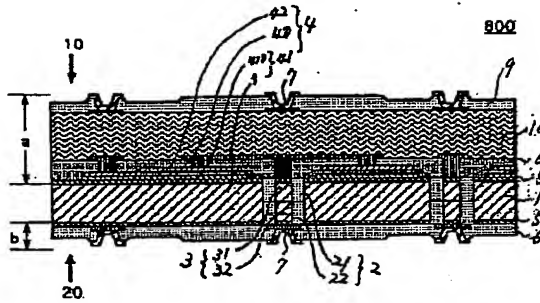
【図7】



15...絶縁層、700,710...回路基板

【図8】

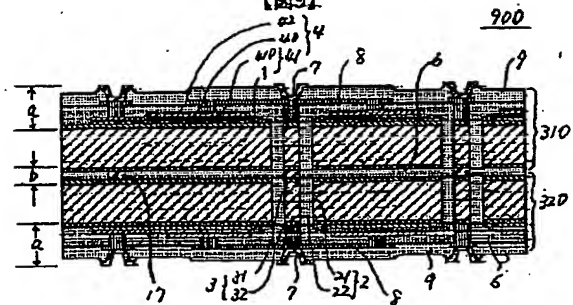
【図8】



16...導電多層配線部、800...回路基板

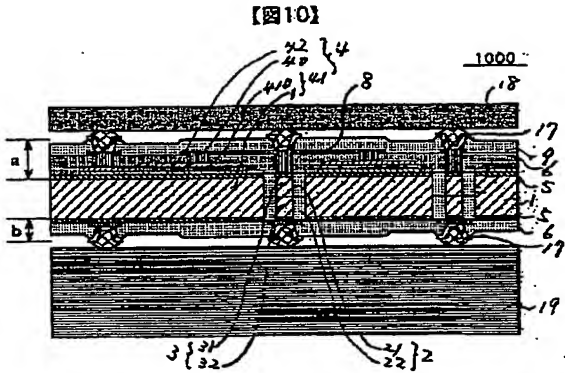
【図9】

【図9】



310,320,900...回路基板

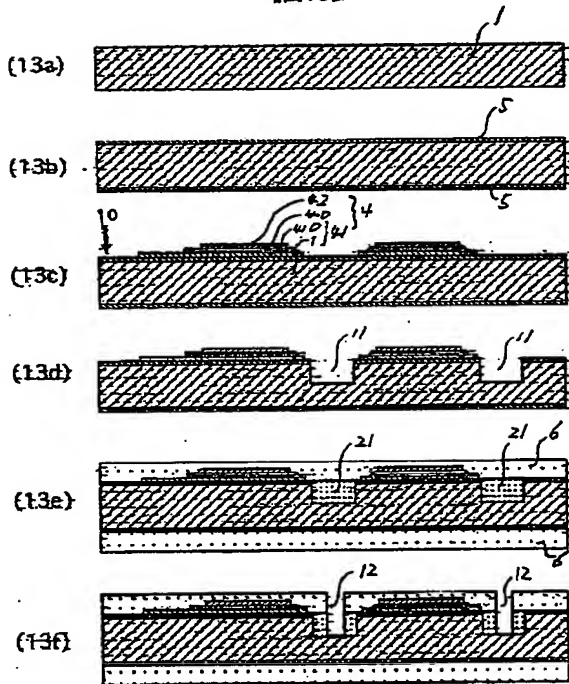
【図10】



17—はんだ、18—半導体チップ、19—配線基板、1000—半導体装置

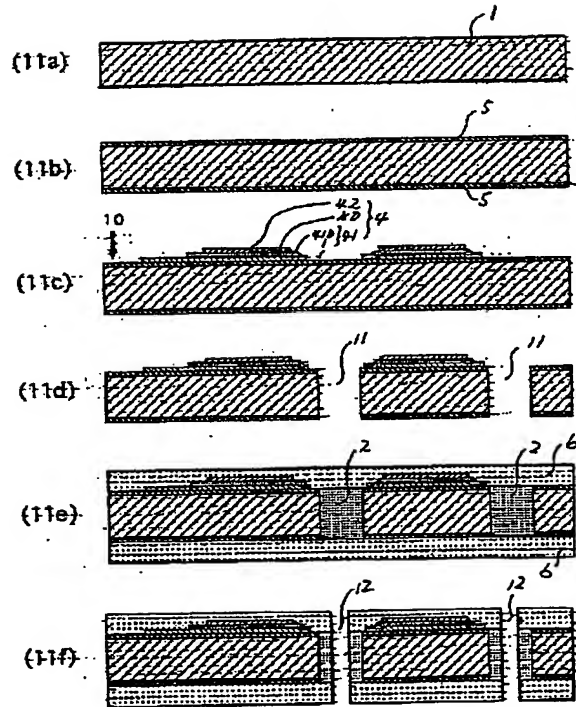
【図13】

【図13】



【図11】

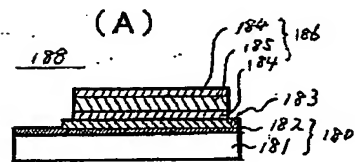
【図11】



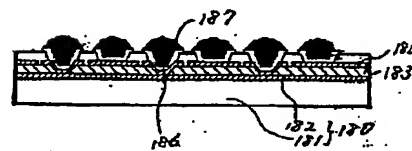
11, 12—エッチング

【図18】

【図18】

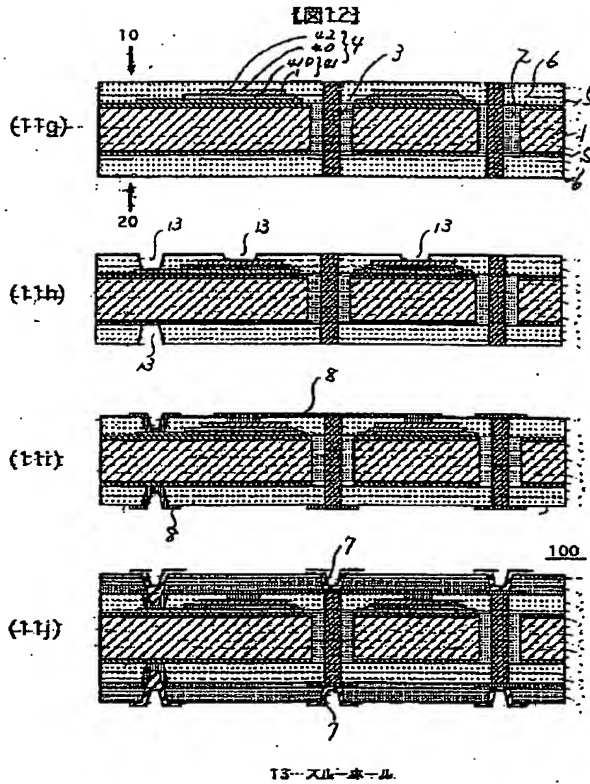


(B)

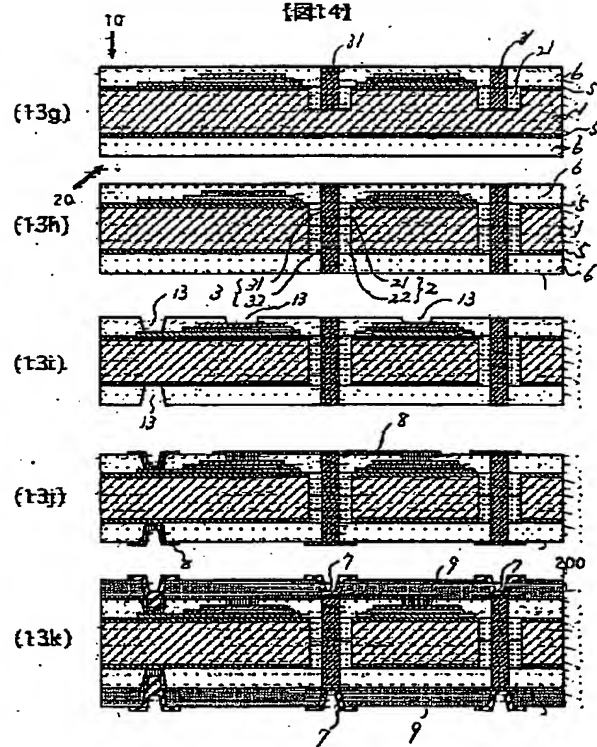


180—第1の電極、181—金属蒸着、182—酸化防止層、  
183—封電極層、184—電極(Cr)、185—電極(Cu)  
186—第2の電極、187—平坦化層、188—半田バンプ

【図12】

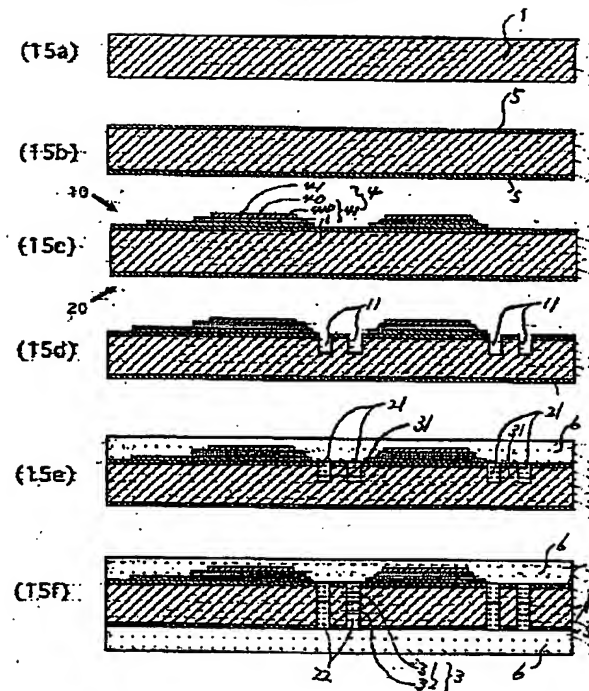


【図14】

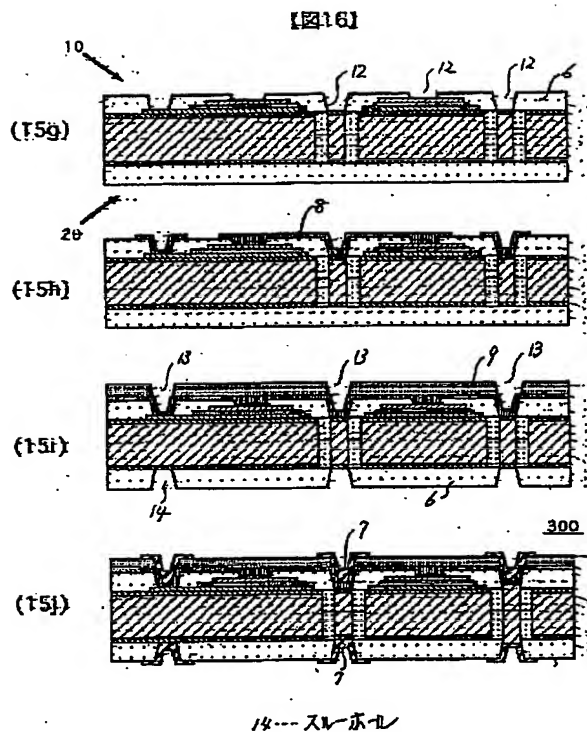


【図15】

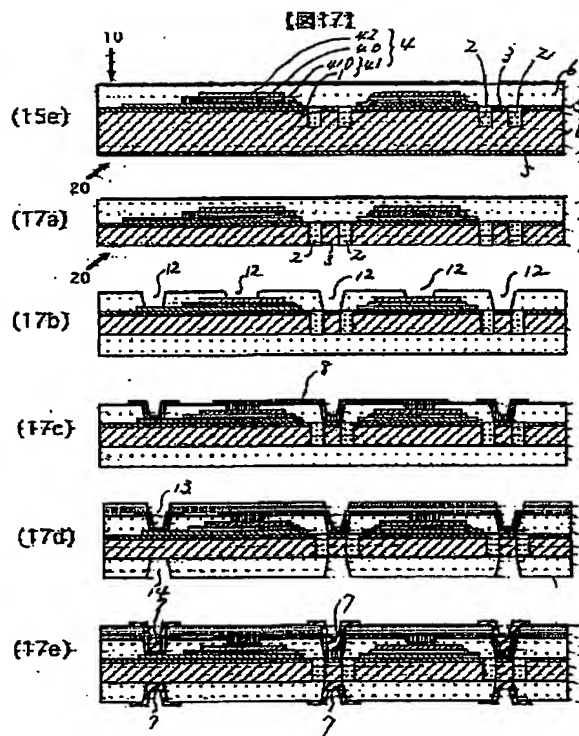
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 志儀 英孝  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 松嶋 直樹  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内  
(72)発明者 阿部 洋一  
神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**